

Київський університет імені Бориса Грінченка
Факультет інформаційних технологій та математики
Кафедра інформаційної та кібернетичної безпеки
імені професора Володимира Бурячка

«ЗАТВЕРДЖУЮ»

Проректор з науково-методичної
та навчальної роботи



Олексій Жильцов

2023

РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ
«АРХІТЕКТУРА ОБЧИСЛЮВАЛЬНИХ СИСТЕМ»

для студентів

спеціальності	123 Комп'ютерна інженерія
освітнього рівня	першого (бакалаврського)
освітньої програми	123.00.01 Комп'ютерна інженерія

2022 – 2023 навчальний рік



Розробник:

Шевченко Віктор Леонідович, доктор технічних наук, професор, професор кафедри інформаційної та кібернетичної безпеки імені професора Володимира Бурячка Факультету інформаційних технологій та математики Київського університету імені Бориса Грінченка.

Викладач:

Шевченко Віктор Леонідович, доктор технічних наук, професор, професор кафедри інформаційної та кібернетичної безпеки імені професора Володимира Бурячка Факультету інформаційних технологій та математики Київського університету імені Бориса Грінченка.

Робочу програму розглянуто і затверджено на засіданні кафедри інформаційної та кібернетичної безпеки імені професора Володимира Бурячка

Протокол від 01.09.2022 р. № 12

Завідувач кафедри _____  _____ Павло СКЛАДАННИЙ

(підпис)

Робочу програму погоджено з гарантом освітньої програми (керівником освітньої програми 123.00.01 Комп'ютерна інженерія)

_____.____. 2022 р.

Керівник освітньої програми _____  _____ Павло СКЛАДАННИЙ

(підпис)

Робочу програму перевірено

_____.____. 2022 р.

Заступник декана _____  _____ Євген ІВАНІЧЕНКО

(підпис)

Пролонговано:

на 20__/20__ н.р. _____ (підпис) _____ (ПІБ), «____»____ 20__ р., протокол № ____

на 20__/20__ н.р. _____ (підпис) _____ (ПІБ), «____»____ 20__ р., протокол № ____

на 20__/20__ н.р. _____ (підпис) _____ (ПІБ), «____»____ 20__ р., протокол № ____

на 20__/20__ н.р. _____ (підпис) _____ (ПІБ), «____»____ 20__ р., протокол № ____

1. Опис навчальної дисципліни

Найменування показників	Характеристика дисципліни за формами навчання	
	денна	заочна
Вид дисципліни	обов'язкова	
Мова викладання, навчання та оцінювання	українська	
Загальний обсяг кредитів / годин	4 / 120	
Курс	1	
Семестр	2	
Кількість змістових модулів з розподілом:	2	
Обсяг кредитів	4	
Обсяг годин, в тому числі:	120	
Аудиторні	56	
Модульний контроль	8	
Семестровий контроль	30	
Самостійна робота	26	
Форма семестрового контролю	екзамен	

2. Мета та завдання навчальної дисципліни

Робоча навчальна програма з курсу «Архітектура обчислювальних систем» є нормативним документом Київського університету імені Бориса Грінченка, який розроблено кафедрою інформаційної та кібернетичної безпеки імені професора Володимира Бурячка на основі освітньо-професійної програми підготовки здобувачів першого (бакалаврського) рівня відповідно до навчального плану спеціальності 123 Комп'ютерна інженерія.

Робочу навчальну програму укладено згідно з вимогами Європейської кредитної трансферно-накопичувальної системи (ЄКТС) організації навчання.

Програма визначає обсяги знань, якими повинен опанувати здобувач першого (бакалаврського) рівня відповідно до вимог освітньо-кваліфікаційної характеристики, алгоритму вивчення навчального матеріалу дисципліни «Архітектура обчислювальних систем» та необхідне методичне забезпечення, складові і технологію оцінювання навчальних досягнень студентів.

Навчальна дисципліна «Архітектура обчислювальних систем» складається з двох змістовних модулів: Базові поняття; Функціональний рівень. Обсяг дисципліни – 120 год. (4 кредитів).

Метою викладання навчальної дисципліни «Архітектура обчислювальних систем» є опанування студентами теорії та практики щодо програмної архітектури сучасних комп'ютерів, принципів їх побудови, функціонування та оволодіння методами побудови або вибору найкращих архітектур для конкретних прикладних задач.

Завдання полягає у набутті студентами знань і навичок щодо взаємозв'язку програмної та апаратної частин комп'ютерів від принципів роботи окремих елементів, двійкового представлення інформації до основ асемблеру та перетворення програм з алгоритмічних мов високого рівня до машинних кодів.

та набутті наступних **фахових компетентностей**:

ФК 6	Здатність проектувати, впроваджувати та обслуговувати комп'ютерні системи та мережі різного виду та призначення
ФК 7	Здатність використовувати та впроваджувати нові технології, включаючи технології розумних, мобільних, зелених і безпечних обчислень, брати участь в

	модернізації та реконструкції комп'ютерних систем та мереж, різноманітних вбудованих і розподілених додатків, зокрема з метою підвищення їх ефективності
ФК 8	Готовність брати участь у роботах з впровадження комп'ютерних систем та мереж, введення їх до експлуатації та об'єктах різного призначення
ФК 10	Здатність здійснювати організацію робочих місць, їхнє технічне оснащення, розміщення комп'ютерного устаткування, використання організаційних, технічних, алгоритмічних та інших методів і засобів захисту інформації
ФК 11	Здатність оформляти отримані робочі результати у вигляді презентацій, науково-технічних звітів
ФК 12	Здатність ідентифікувати, класифікувати та описувати роботу програмно-технічних засобів, комп'ютерних та кіберфізичних систем, мереж та їхніх компонентів шляхом використання аналітичних методів і методів моделювання
ФК 13	Здатність вирішувати проблеми у галузі комп'ютерних та інформаційних технологій, визначати обмеження цих технологій
ФК 16	Здатність відновлювати штатне функціонування комп'ютерних та SMART-систем.

3. Результати навчання за дисципліною

У результаті вивчення навчальної дисципліни студенти повинні

знати:

- історію, перспективи розвитку, класифікацію комп'ютерів та їх архітектур (Тема 1)
- темпи і тенденції динаміки змін продуктивності цифрової техніки (Тема 2)
- способи обробки числа в двійковій та шестнадцятирічній системах (Тема 3)
- базові логічні елементи, способи їх реалізації та основні характеристики (Тема 4)
- Булеві аксіоми та теореми (Тема 5)
- порядок використання карт Карно(Тема 6)
- принципи побудови тригерів (Тема 7)
- принципи побудови основних цифрових вузлів на основі тригерів (Тема 8)
- принципи побудови цифрових функціональних вузлів: суматорів, схем віднімання, порівнювання (Тема 9)
- принципи побудови цифрових функціональних вузлів: добутку, ділення, елементів пам'яті, АЛП (Тема 10)
- основні інструкції MIPS – асемблера (Тема 11)
- основні структури мікропроцесорів (одноциклова, багатоциклова, конвеєрна) та реалізацію в них найпростіших інструкцій MIPS – асемблера, зокрема звернення до пам'яті (Тема 12)

уміти:

- класифікувати комп'ютери та аналізувати їх архітектури (Тема 1)
- виконувати прогноз та ретро аналіз показників продуктивності цифрової техніки (Тема 2)
- обробляти числа в двійковій та шестнадцятирічній системах (записувати, трансформувати, виконувати арифметичні операції) (Тема 3)
- реалізовувати базові логічні елементи (Тема 4)
- створювати, перетворювати та спрощувати Булеві (логічні) рівняння за допомогою Булевих теорем (Тема 5)
- створювати, перетворювати та спрощувати Булеві (логічні) рівняння за допомогою карт Карно(Тема 6)
- на логічному рівні реалізовувати тригери (Тема 7)
- на логічному рівні реалізовувати основні цифрові вузли на основі тригерів (Тема 8)
- на логічному рівні будувати цифрові функціональні вузли: суматори, схеми віднімання, порівнювання, добутку, ділення, елементи пам'яті, АЛП (Тема 9)

- на логічному рівні будувати цифрові функціональні вузли: суматори, схеми віднімання, порівнювання, добутку, ділення, елементи пам'яті, АЛП (Тема 10)
- писати найпростіші програми (зчитування, збереження в пам'яті та арифметичні операції) на MIPS – асемблері (Тема 11)
- на базі основних структур мікропроцесорів (одноциклова, багатоциклова, конвеєрна) реалізовувати найпростіші інструкції MIPS – асемблера, зокрема звернення до пам'яті (Тема 12)
- працювати у складі робочих груп, вироблення у студентів практичних навичок командної роботи, зокрема при: аналізі причин незадовільних результатів застосування обчислювальних методів в конкретних задачах, пошуку можливих шляхів виправлення незадовільних результатів, пошуку найкращих шляхів вирішення завдань.

та досягти наступних **програмних результатів навчання:**

PH-9	- Вміти застосовувати знання технічних характеристик, конструктивних особливостей, призначення і правил експлуатації програмно-технічних засобів комп'ютерних систем та мереж для вирішення технічних задач спеціальності
PH-10	- Вміти розробляти програмне забезпечення для вбудованих і розподілених застосувань, мобільних і гібридних систем, розраховувати, експлуатувати, типове для спеціальності обладнання
PH-13	- Вміти ідентифікувати, класифікувати та описувати роботу комп'ютерних систем та їх компонентів

4. Структура навчальної дисципліни

Тематичний план для денної форми навчання

Назва змістових модулів, тем	Усього	Розподіл годин між видами робіт					
		Аудиторна:					Самостійна
		Лекції	Семінари	Практичні	Лабораторні	Індивідуальні	
Змістовий модуль 1. Базові поняття							
Тема 1. Історія, перспективи комп'ютерів та їх архітектури	6	2			2		2
Тема 2. Огляд архітектури та екзоархітектури комп'ютерів	8	2		2	2		2
Тема 3. Системи числення комп'ютерів	8	2		2	2		2
Тема 4. Базові логічні елементи	6			2	2		2
Тема 5. Булева алгебра	8	2		2	2		2
Тема 6. Логічні елементи та багаторівнева логіка	7			2	2		3
Модульний контроль	4						
Разом	47	8		10	12		13
Змістовий модуль 2. Функціональний рівень							
Тема 7. Послідовна логіка (тригери)	6	2			2		2
Тема 8. Кінцеві автомати Мура і Мілі	6			2	2		2
Тема 9. Цифрові функціональні вузли – послідовні елементи	6	2			2		2
Тема 10. Цифрові функціональні вузли – матричні елементи	6			2	2		2
Тема 11. Мікроархітектура (процесори, асемблер)	8	2		2	2		2
Тема 12. Процесори.	7			2	2		3
Модульний контроль	4						
Разом	43	6		8	12		13
Семестровий контроль	30						
Усього годин	120	14		18	24		26

5. Програма навчальної дисципліни

Змістовий модуль 1. Базові поняття

Тема 1. Історія, перспективи комп'ютерів та їх архітектури

Історія. Ручні та механічні засоби обчислень раннього періоду (абак, серобаян, суанпан, шот, паскалін – машина Блеза Паскаля, лічильний пристрій Готфріда Вільгельма Лейбніца, машина Жаккарда). Принципи роботи машини Бебіджа. Огаста Ада Байрон (графіня Лавлейс). Підсумовуючий апарат Пафнутія Чебишова. Г.Холлеріт та його послідовники. Інформаційні революції (1, 2, 3, 4-та). Принципи К.Цузе. Покоління комп'ютерної техніки: 1-ше, 2-ге, 3-тє, 4-тє, 5-тє, 6-тє.

Тема 2. Огляд архітектури та екзоархітектури комп'ютерів

Технологічні та економічні аспекти розвитку, закономірності розвитку комп'ютерної техніки. Закон Мура та суміжні закони. Технологічні та економічні аспекти розвитку, закономірності розвитку комп'ютерної техніки. Закон Мура та суміжні закони. Класифікація комп'ютерів. Класифікація комп'ютерів за функціональними можливостями. Персональні комп'ютери. Ігрові комп'ютери. Робочі станції. X-термінали. Сервери. Мейнфрейми. Екзоархітектура комп'ютера. Інформаційна інфраструктура. Топології мереж. Обладнання мереж. Архітектура Фон-Неймана. Архітектура та загальна структура персонального комп'ютера.

Тема 3. Системи числення комп'ютерів

Принципи керування складністю. Цифрова абстракція. Цифрові мережі. Системи числення: десятична, двійкова, шестнадцятирична. Ступені двійки. Перетворення між різними системами числення (двійкова та шестнадцятирична, двійкова та десятична). Прямий, доповнений код для додатних та від'ємних чисел. Додавання та віднімання двійкових чисел. Розширення нулем. Розширення знаком.

Тема 4. Базові логічні елементи

Елементарні логічні елементи: НІ, АБО, І. Таблиці істиності. Похідні логічні елементи: XOR, XNOR. Приклади застосування логічних елементів та логічних функцій. Логічні елементи з кількістю входів більше двох. Логічні рівні та шуми логічних електронних елементів. Передаточна характеристика. Сумісність напівпровідникових елементів, які побудовані за різними технологіями (TTL, CMOS, LVTTTL, LVCMOS). КМОП транзистори. n КМОП. р КМОП. Виробництво вейферів та мікрочипів. Створення логічних елементів на основі транзисторів. Розрахунок потужності споживання цифрової та мобільної техніки.

Тема 5. Булева алгебра

Логічні елементи: комбінаційна та послідовна логіка. Правила побудови комбінаційної логіки. Булеві рівняння, основні визначення. Диз'юнктивна та кон'юнктивна форми. Булеві аксиоми. Теореми одної логічної змінної. Теореми декількох логічних змінних. Візуальне спрощення логічних схем за допомогою правила пересування інверсії (проштовхування та обертання бульбашки). Комбінаційні логічні елементи. Багаторівневі комбінаційні логічні елементи – загальні поняття.

Тема 6. Логічні елементи та багаторівнева логіка

Схема врахування пріоритетів входів. Позначення байдужих та конфліктних станів X. Третій стан логічних елементів Z. Спрощення логічних рівнянь на підставі карти Карно. Побудова логічних рівнянь на підставі карти Карно з байдужими станами. **Мультиплексор:** схематичне позначення, таблиця істиності, карта Карно, логічні рівняння, побудова з елементів базового набору логіки (Та, Або, Ні). Реалізація 2-х входових комбінаційних схем за допомогою 4-х входового мультиплексора. Мінімізація схеми на випадок 2-х входового мультиплексора. **Декодер:** схематичне позначення, таблиця істиності, логічні рівняння, побудова з елементів базового набору логіки (Та, Або, Ні). Реалізація за допомогою декодера комбінаційних схем OR,

XOR, AND та XNOR. Затримки в розповсюдженні сигналів. Критичний та інші шляхи. Збої (колізії) в комбінаційній логіці, що викликані затримками. Шляхи виправлення конфліктів.

Змістовий модуль 2. Функціональний рівень

Тема 7. Послідовна логіка (тригери)

Послідовна логіка: основні ознаки, порівняння з комбінаційною логікою. **Бістабільний елемент**. Трансформація до 2-х виходового стану. **SR – Latch** (заскочка, защелка): позначення, побудова, стани, принцип роботи. **D – Latch** (заскочка, защелка): позначення, побудова, стани, принцип роботи. Відмінність від D – Flip-Flop (тригер). **D – Flip-Flop** (тригер): позначення, побудова, стани, принцип роботи. Відмінність від D – Latch (заскочка, защелка). **Регістр**: побудова, принцип роботи. **D – Flip-Flop** (тригер) з дозволом (**Enabled**): позначення, побудова, стани, принцип роботи. **D – Flip-Flop** (тригер) зі скиданням (**Resettable**) та **D – Flip-Flop** (тригер) зі встановленням (**Settable**): позначення, побудова, стани, принцип роботи. Одночасна реалізація в тригері функцій Дозволу та Скидання. Одночасна реалізація в тригері функцій Дозволу та Встановлення. Одночасна реалізація в тригері функцій Встановлення та Скидання. Загальна характеристика кінцевих автоматів **Мура та Мілі**. Приклад створення кінцевого автомату на основі діаграми станів та переходів.

Тема 8. Кінцеві автомати Мура і Мілі

Порівняльна характеристика кінцевих автоматів **Мура та Мілі** на прикладі створення конкретного кінцевого автомату. Блоковий та безблоковий підходи до створення кінцевих автоматів. Процедура проектування кінцевих автоматів **Мура та Мілі**. Динамічна дисципліна (часові обмеження в роботі кінцевих автоматів – формули - нерівності). Динамічна дисципліна (часові обмеження в роботі кінцевих автоматів – формули - нерівності) з врахуванням розфазування (затримок) тактових імпульсів. Динамічна дисципліна (часові обмеження в роботі кінцевих автоматів – формули - нерівності). Шляхи виправлення порушень. Часовий та просторовий паралелізм (початкові приклади).

Тема 9. Цифрові функціональні вузли – послідовні елементи

Напівсуматор. Повний суматор. Пристрій для віднімання. Суматор з послідовним переносом. Суматор з прискореним переносом. Префіксний суматор. Порівняння суматорів різних типів. Пристрій для порівняння двох величин за ознакою рівності. Пристрій для порівняння двох величин за ознакою нерівності. Арифметико логічний пристрій (ALU): побудова, принцип роботи, виконання набору команд (логічне додавання, логічне множення, арифметичне додавання, арифметичне віднімання, порівняння за ознакою нерівності).

Тема 10. Цифрові функціональні вузли – матричні елементи

Дробові десятичні числа з фіксованою точкою (арифметичне додавання). Дробові десятичні числа з плаваючою точкою (арифметичне додавання, спеціальні випадки значень, переповнення, режими округлення). Операція зсуву. **Регістр зсуву (Shifter)**: види, позначення, побудова **на основі мультиплексорів**, принцип роботи, використання для множення та ділення на ступені двійки. **Перемножувач (Multiplier)**: позначення, принцип роботи. **Дільник (Divider)**: принцип роботи, алгоритм. Двійкові числа з фіксованою та плаваючою точкою. Представлення 1, 2 та 3 виду. Алгоритм додавання чисел з плаваючою точкою у 3-му представленні. **Лічильник (Counter)**: позначення, побудова, принцип роботи. Особливості програмного лічильника (PC) при виконанні різних інструкцій. **Регістр зсуву (Shifter) з послідовним завантаженням, Регістр зсуву (Shifter) з паралельним завантаженням**: побудова, принцип роботи, використання для множення та ділення на ступені двійки. **Масив пам'яті**: принцип роботи, схема, стани. **RAM, ROM**: принцип роботи, схема, стани, історія. Побудова послідовної логіки за допомогою масивів пам'яті. Масиви пам'яті, що програмуються (ПЛІС – PLA, FPGA). Точкова нотація.

Тема 11. Мікроархітектура (асемблер)

MIPS – архітектура – загальна характеристика, 4 принципи побудови. Інструкції додавання, віднімання. Операнди. Регістри (логіка побудови структури, призначення). Адресація оперативної пам'яті. Побайтова адресація. Бигендіан та Литлендіан порядок байтів в машинному слові. Константи. Структура команд R, I та J типу в MIPS асемблері. Мнемокод, машинний код, асемблер, приклади. Переклад асемблеру в машинний код. Перетворення машинного коду в асемблер. Арифметичні інструкції додавання та віднімання. Логічні інструкції. Інструкції зсуву. Привласнення (генерація) констант. Множення та ділення. Інструкції розгалуження (умовні та безумовні переходи). Реалізація на асемблері команд та інших конструкцій алгоритмічних мов високого рівня: умовні переходи If, If-Else, цикли For, While, порівняння щодо нерівності, масиви, функції, стеки. Режими адресації. Карта пам'яті. Компіляція, асемблювання, збірка (лінковка) та завантаження програм. Псевдоінструкції.

Тема 12. Процесори.

Архітектура та мікроархітектура: характеристика, види, протиріччя, взаємозв'язок.

Відмінності та продуктивності основних мікроархітектур.

Організація пам'яті.

Одноциклова мікроархітектура (Одноцикловий процесор).

Багатоциклова мікроархітектура (Багатоцикловий процесор).

Конвеєрна мікроархітектура (Конвеєрний процесор).

Побудова на схемах одноциклової, багатоциклової та конвеєрної архітектур шляхів руху даних при виконанні інструкції завантаження (вивантаження) в пам'ять, арифметичного додавання (віднімання), логічних операцій, операцій порівняння, умовних та безумовних переходів.

Аналіз швидкодії різних мікроархітектур.

Шляхи усунення неготовності вхідних даних окремих інструкцій в конвеєрній мікроархітектурі. Глибока конвеєризація обчислень. Передбачення при розгалуженні.

6. Контроль навчальних досягнень

Навчальні досягнення студентів з дисципліни оцінюються за модульно-рейтинговою системою, в основу якої покладено принцип поопераційної звітності, обов'язковості модульного контролю, накопичувальної системи оцінювання рівня знань, умінь та навичок, розширення кількості підсумкових балів до 100.

Оцінка за кожний змістовий модуль включає бали за поточну роботу студента на практичних та лабораторних заняттях, за виконання індивідуальних завдань, за модульну контрольну роботу. Виконання модульних контрольних робіт здійснюється в електронному вигляді. Модульний контроль знань студентів здійснюється після завершення вивчення навчального матеріалу змістового модуля.

У процесі оцінювання навчальних досягнень студентів застосовуються такі методи:

– *Методи усного контролю:* індивідуальне опитування, фронтальне опитування, співбесіда, екзамен.

– *Комп'ютерного контролю:* програми - емулятори.

– *Методи самоконтролю:* уміння самостійно оцінювати свої знання, самоаналіз.

Кількість балів за роботу з теоретичним матеріалом, на практичних заняттях, під час виконання самостійної роботи залежить від дотримання таких вимог:

- систематичність відвідування занять;
- своєчасність виконання навчальних та індивідуальних завдань;
- повний обсяг їх виконання;
- якість виконання навчальних та індивідуальних завдань;
- самостійність виконання;
- творчий підхід у виконанні завдань;
- ініціативність у навчальній діяльності;

– виконання тестових завдань.

Контроль успішності студентів з урахуванням поточного і підсумкового оцінювання здійснюється відповідно до навчально-методичної карти дисципліни, де зазначено види контролю і кількість балів за видами. Систему рейтингових балів для різних видів контролю та порядок їх переведення у національну (4-бальну) та європейську (ECTS) шкалу подано нижче у таблицях.

6.1. Розрахунок рейтингових балів за видами поточного (модульного) контролю

Вид діяльності студента	Максимальна к-сть балів за одиницю	Модуль 1		Модуль 2	
		кількість одиниць	максимальна кількість балів	кількість одиниць	максимальна кількість балів
Відвідування лекцій	1	4	4	3	3
Відвідування практичних занять	1	5	5	4	4
Відвідування лабораторних занять	1	6	6	6	6
Робота на практичному занятті	10	5	50	4	40
Лабораторна робота (в тому числі допуск, виконання, захист)	10	6	60	6	60
Виконання завдань для самостійної роботи	5	1	5	1	5
Виконання модульної роботи	25	1	25	1	25
Виконання ІНДЗ	30				
	Разом	-	155	-	143
Максимальна кількість балів: 298					
Розрахунок коефіцієнта: $298/60=4,97$					

6.2. Завдання для самостійної роботи та критерії її оцінювання

Самостійна робота є видом поза аудиторної індивідуальної діяльності студента, результати якої використовуються у процесі вивчення програмового матеріалу навчальної дисципліни та містить результати дослідницького пошуку, відображає певний рівень його навчальної компетентності.

Перелік тем та оцінювання самостійної роботи студента

№ з/п	Назва теми	Кількість годин	Бали
Змістовий модуль 1. Базові поняття		13	5
1	Історія, перспективи комп'ютерів та їх архітектури	2	0,5
2	Огляд архітектури та екзоархітектури комп'ютерів	2	0,5
3	Системи числення комп'ютерів	2	1
4	Базові логічні елементи	2	1
5	Булева алгебра	2	1
6	Логічні елементи та багаторівнева логіка	3	1
Змістовий модуль 2. Функціональний рівень		13	5
7	Послідовна логіка (тригери)	2	1
8	Кінцеві автомати Мура і Мілі	2	1
9	Цифрові функціональні вузли – послідовні елементи	2	0,5
10	Цифрові функціональні вузли – матричні елементи	2	1
11	Мікроархітектура (процесори, асемблер)	2	1
12	Процесори.	3	0,5
Разом		26	10

Критерії оцінювання самостійної роботи студента

№ п/п	Критерії оцінювання роботи	Максимальна кількість балів за кожним критерієм
1	Критичний аналіз суті та змісту першоджерел. Виклад фактів, ідей, результатів досліджень в логічній послідовності. Аналіз сучасного стану дослідження проблеми, розгляд тенденцій подальшого розвитку даного питання.	2 бали
2	Доказовість висновків, обґрунтованість власної позиції, пропозиції щодо розв'язання проблеми, визначення перспектив дослідження	2 бали
3	Дотримання вимог щодо технічного оформлення	1 бал
Разом		5 балів

6.3. Форми проведення модульного контролю та критерії оцінювання

Модульний контроль здійснюється відповідно до навчально-методичної карти дисципліни та перевіряє рівень досягнення результатів навчання студентів. Форма проведення – тест, що складається із 10 тестових завдань (відкритої та закритої форм). Модульна контрольна робота оцінюється у 25 балів.

6.4. Форми проведення семестрового контролю та критерії оцінювання

Семестрове (підсумкове) оцінювання здійснюється у формі екзамену, умовою допуску до якого є отриманням студентом 35 балів (з врахуванням коефіцієнту) за результатами поточного контролю.

Форма проведення екзамену – тестування в середовищі Moodle. Екзамен оцінюється у 40 балів (20 тестових завдань відкритої та закритої форм). Оцінювання результатів засвоєння теоретичних знань та оцінювання сформованості практичних навичок володіння цифровими технологіями студентами, продемонстровані на екзамені, представлене у таблиці.

Підсумкова кількість балів (max - 40)	Оцінка за 4-бальною шкалою
1 – 23	«незадовільно»
24 – 29	«задовільно»
30 – 35	«добре»
36 – 40	«відмінно»

6.5. Орієнтовний перелік питань для семестрового контролю**Змістовий модуль 1. Базові поняття**

T01. Історія. Ручні та механічні засоби обчислень.

T01. Принципи роботи машини Бебіджа.

T01. Г.Холлеріт та його послідовники.

T01. Інформаційні революції.

T01. Принципи К.Цузе.

T01. Покоління комп'ютерної техніки: 1-ше та 2-ге.

T01. Покоління комп'ютерної техніки: 3-те та 4-те.

T01. Покоління комп'ютерної техніки: 5-те, 6-те.

T02. Технологічні та економічні аспекти розвитку, закономірності розвитку комп'ютерної техніки.

- T02.** Закон Мура та суміжні закони.
- T02.** Технологічні та економічні аспекти розвитку, закономірності розвитку комп'ютерної техніки. Закон Мура та суміжні закони.
- T02.** Класифікація комп'ютерів.
- T02.** Класифікація комп'ютерів за функціональними можливостями.
- T02.** Персональні комп'ютери. Ігрові комп'ютери. Робочі станції. X-термінали.
- T02.** Сервери. Мейнфрейми.
- T02.** Екзоархітектура комп'ютера. Інформаційна інфраструктура.
- T02.** Топології мереж.
- T02.** Обладнання мереж.
- T02.** Архітектура Фон-Неймана.
- T02.** Архітектура та загальна структура персонального комп'ютера.
- T03.** Принципи керування складністю.
- T03.** Системи числення: десятична, двійкова, шестнадцятирична.
- T03.** Прямий, доповнений код для додатних та від'ємних чисел.
- T03.** Додавання та віднімання двійкових чисел.
- T04.** Елементарні логічні елементи: НІ, АБО, І. Таблиці істинності.
- T04.** Похідні логічні елементи: XOR, XNOR.
- T04.** Логічні елементи з кількістю входів більше двох.
- T04.** Логічні рівні та шуми логічних електронних елементів. Передаточна характеристика.
- T04.** КМОП транзистори. n КМОП. p КМОП.
- T04.** Потужність споживання.
- T05.** Булеві рівняння, основні визначення. Диз'юнктивна та кон'юнктивна форми.
- T05.** Булеві аксиоми.
- T05.** Теореми одної логічної змінної.
- T05.** Теореми декількох логічних змінних.
- T05.** Комбінаційні логічні елементи.
- T05.** Багаторівневі комбінаційні логічні елементи – загальні поняття.
- T05.** Пересування інверсії (проштовхування бульбашки та обертання бульбашки).
- T06. Мультиплексор:** схематичне позначення, таблиця істинності, карта Карно, логічні рівняння, побудова з елементів базового набору логіки (Та, Або, Ні).
- T06.** Реалізація 2-х входових комбінаційних схем за допомогою 4-х входового мультиплексора. Мінімізація схеми на випадок 2-х входового мультиплексора.
- T06. Декодер:** схематичне позначення, таблиця істинності, логічні рівняння, побудова з елементів базового набору логіки (Та, Або, Ні).
- T06. Декодер:** схематичне позначення, таблиця істинності, логічні рівняння. Реалізація за допомогою декодера комбінаційних схем OR та XOR.
- T06. Декодер:** схематичне позначення, таблиця істинності, логічні рівняння. Реалізація за допомогою декодера комбінаційних схем AND та XNOR.
- T06.** Затримки в розповсюдженні сигналів. Критичний та інші шляхи. Збої (колізії) в комбінаційній логіці, що викликані затримками. Шляхи виправлення.

Змістовий модуль 2. Функціональний рівень

- T07.** Послідовна логіка: основні ознаки, порівняння з комбінаційною логікою. **Бістабільний елемент.** Трансформація до 2-х виходового стану.
- T07. SR – Latch** (заскочка, защелка): позначення, побудова, стани, принцип роботи.
- T07. D – Latch** (заскочка, защелка): позначення, побудова, стани, принцип роботи. Відмінність від D – Flip-Flop (тригер).
- T07. D – Flip-Flop** (тригер): позначення, побудова, стани, принцип роботи. Відмінність від D – Latch (заскочка, защелка). **Регістр:** побудова, принцип роботи.
- T07. D – Flip-Flop** (тригер) з дозвілом (**Enabled**): позначення, побудова, стани, принцип роботи.

T07. D – Flip-Flop (тригер) зі скиданням (**Resettable**) та **D – Flip-Flop** (тригер) зі встановленням (**Settable**): позначення, побудова, стани, принцип роботи.

T07. Порівняльна характеристика кінцевих автоматів **Мура та Мілі**.

T08. Динамічна дисципліна (часові обмеження в роботі кінцевих автоматів – формули - нерівності).

T08. Динамічна дисципліна (часові обмеження в роботі кінцевих автоматів – формули - нерівності) з врахуванням розфазування (затримок) тактових імпульсів.

T08. Динамічна дисципліна (часові обмеження в роботі кінцевих автоматів – формули - нерівності). Шляхи виправлення порушень.

T09. Напівсуматор. Повний суматор. Пристрій для віднімання.

T09. Суматор з послідовним переносом.

T09. Суматор з прискореним переносом.

T09. Префіксий суматор.

T09. Пристрій для порівняння двох величин за ознакою рівності.

T10. Регістр зсуву (Shifter): види, позначення, побудова **на основі мультиплексорів**, принцип роботи, використання для множення та ділення на ступені двійки.

T10. Перемножувач (Multiplier): позначення, принцип роботи.

T10. Дільник (Divider): принцип роботи, алгоритм.

T10. Двійкові числа з фіксованою та плаваючою точкою. Представлення 1, 2 та 3 виду. Алгоритм додавання чисел з плаваючою точкою у 3-му представленні.

T10. Лічильник (Counter): позначення, побудова, принцип роботи. Особливості програмного лічильника (PC) при виконанні різних інструкцій.

T10. Регістр зсуву (Shifter) з послідовним завантаженням: побудова, принцип роботи, використання для множення та ділення на ступені двійки.

T10. Регістр зсуву (Shifter) з паралельним завантаженням: побудова, принцип роботи, використання для множення та ділення на ступені двійки.

T10. Масив пам'яті: принцип роботи, схема, стани.

T10. RAM, ROM: принцип роботи, схема, стани, історія.

T10. Побудова послідовної логіки за допомогою масивів пам'яті. Масиви пам'яті, що програмуються (ПЛІС).

T12. Архітектура та мікроархітектура: характеристика, види, протиріччя, взаємозв'язок. Відмінності та продуктивності основних мікроархітектур.

T12. Шляхи усунення неготовності вхідних даних окремих інструкцій в конвеєрній мікроархітектурі.

6.6. Шкала відповідності оцінок

Рейтингова оцінка	Сума балів за всі види навчальної діяльності	Значення оцінки
A	90-100	Відмінно – відмінний рівень знань (умінь) в межах обов’язкового матеріалу з, можливими, незначними недоліками
B	82-89	Дуже добре – достатньо високий рівень знань (умінь) в межах обов’язкового матеріалу без суттєвих (грубих) помилок
C	75-81	Добре – в цілому добрий рівень знань (умінь) з незначною кількістю помилок
D	69-74	Задовільно - посередній рівень знань (умінь) із значною кількістю недоліків, достатній для подальшого навчання або професійної діяльності
E	60-68	Достатньо – мінімально можливий допустимий рівень знань (умінь)
FX	35-59	Незадовільно з можливістю повторного складання – незадовільний рівень знань, з можливістю повторного перескладання за умови належного самостійного доопрацювання
F	1-34	Незадовільно з обов’язковим повторним вивченням курсу – досить низький рівень знань (умінь), що вимагає повторного вивчення дисципліни

7. Навчально-методична картка дисципліни

Разом: 120 год., лекції – 14 год., практичні заняття – 18 год., лабораторні заняття – 24 год., модульний контроль – 8 год., семестровий контроль – 30 год., самостійна робота – 26 год.

Модулі (назви, бали)	Змістовий модуль 1. Базові поняття (155 балів)						Змістовий модуль 2. Функціональний рівень (143 бали)					
(игво 'имэл) цпкжЕГ	Історія, перспективи комп'ютерів та їх архітектури (1 бал)	Огляд архітектури та екзоархітектури комп'ютерів (1 бал)	Системи числення комп'ютерів (1 бал)		Булева алгебра (1 бал)		Послідовна логіка (тригери) (1 бал)		Цифрові функціональні вузли – послідовні елементи (1 бал)		Мікроархітектура (процесори, асемблер) (1 бал)	
Лабораторні заняття (теми, бали)	Закон Мура (11 балів)	Закон Мура (11 балів)	Системи числення. Базова логіка (11 балів)	Системи числення. Базова логіка (11 балів)	Булева алгебра (11 балів)	Булева алгебра (11 балів)	Тригери (11 балів)	Тригери (11 балів)	Схемотехніка тригерів (11 балів)	Схемотехніка тригерів (11 балів)	Асемблер. Процесори (11 балів)	Асемблер. Процесори (11 балів)
Практичні заняття (теми, бали)		Огляд архітектури та екзоархітектури комп'ютерів (11 балів)	Системи числення комп'ютерів (11 балів)	Базові логічні елементи (11 балів)	Булева алгебра (11 балів)	Логічні елементи та багаторівнева логіка (11 балів)		Кінцеві автомати Мура і Мілі (11 балів)		Цифрові функціональні вузли – матричні елементи (11 балів)	Мікроархітектура (процесори, асемблер) (11 балів)	Процесори (11 балів)
Самостійна робота	Самостійна робота (5 балів)						Самостійна робота (5 балів)					
Поточний контроль (вид, бали)	Модульна контрольна робота 1 (25 балів)						Модульна контрольна робота 2 (25 балів)					
Підсумковий контроль (вид, бали)	Екзамен (40 балів)											

8. Рекомендовані джерела

Основна (базова):

1. Архітектура комп'ютерів. Методична розробка до самостійної роботи студентів за спеціальністю «Комп'ютерна інженерія» /Уклад.: Лещенко О.О. – К.: ДУТ, 2014. – 23 с.
2. Кавун С.В. Архітектура комп'ютерів. Особливості використання комп'ютерів в ІС: навчальний посібник / Кавун С.В., Сорбат І.В.; М-во освіти і науки України, Харк. нац. екон. ун-т. – Харків : ХНЕУ, 2010. – 255 с.
3. Кавун С.В. Лабораторний практикум з навчальної дисципліни «Архітектура комп'ютерів»: навчально-практичний посібник / Кавун С.В., Сорбат І.В., Разіна Л.В.; МОН України; Харківський нац.економ. ун-т. – Харків : ХНЕУ, 2009. – 224 с.
4. Кравчук С.О., Шохін В.О. Основи комп'ютерної техніки: Компоненти, системи, мережі : Навч. Посібник. – К.: Каравела, 2006. – 344 с.
5. Матвієнко М.П. Архітектура комп'ютера: навч. посібник для студ. вищ. навч. закладів / Матвієнко М.П., Розен В.П., Закладний О.М.; М-во освіти і науки, молоді та спорту України. – К.: Ліра-К, 2013. – 263 с.
6. Мельник А.О. Архітектура комп'ютера. Наукове видання. – Луцьк. Волинська обласна друкарня, 2008. – 470 с.

Додаткова:

1. Шевченко В.Л., Кірпи́чников Ю.А., Головченко О.В., Федорієнко В.А., Кондратенко Ю.В. Підходи щодо оцінки надійності програмної компоненти головної системи єдиного інформаційного середовища // Збірник наукових праць ЦВСД НУОУ. - №3 (49). – Київ: НУОУ, 2013. – С. 15-21. – Режим доступу: <http://nuou.org.ua/nauka/naukovi-publikatsii/content/39-zbirnyk-naukovykh-prats-cvsd.html?start=10>
2. Adam Osborne. An Introduction to Microcomputers. — 2nd Ed. — Berkely (California): Osborne-McGraw Hill, 1980. — P. 1-1.
3. Andrew S. Tanenbaum. Structured Computer Organization. — Fifth Edition.
4. John L. Hennessy, David A. Patterson. Computer Architecture: A Quantitative Approach. — Elsevier, 2012.
5. Joseph D.Dumas II. Computer Architecture: Fundamentals and Principles of Computer Design. — CRC Press, 2005.
6. Laplante, Phillip A. (2001). Dictionary of Computer Science, Engineering, and Technology. CRC Press. с. 94–95.
7. Maksym Brazhenenko, Pavlo Kozachok, Volodymyr Petrivskyi, Oleksiy Bychkov, **Victor Shevchenko** Cloud Based Architecture Design of System of Systems CADSM 2019, 15th International Conference on the Experience of Designing and Application of CAD Systems (CADSM), February 26 – March 2, 2019, Polyana-Svalyava (Zakarpattya), UKRAINE, Lviv Polytechnic National University, UKRAINE, Lodz University of Technology, POLAND, IEEE Ukraine Section, IEEE Ukraine Section (West), MTT/ED/AP/EP/SSC Societies Joint Chapter, Part Number: CFP19508-USB, ISBN: 978-1-7281-0053-1 pp.19-23.
8. Marsim Brazhenenko, Pavlo Kozachok, **Viktor Shevchenko**, Maksim Tkachenko M2M Communication Protocol for Low Bandwidth MEMS Sensor Networks 2018 14-th International Conference Perspective Technologies and Methods in MEMS Design (MEMSTECH). Proceeding. - Polyana, April 18-22, 2018. pp.35-39.
9. Michael J. Flynn. Computer Architecture Pipelined and parallel Processor Design. — Jones and Bartlett. — P. 1–3.
10. Miles Murdocca and Vincent Heuring. Computer Architecture and Organization, An Integrated Approach. — Wiley. — P. 151.

9. Додаткові інформаційні ресурси

1. Cisco (англ.) [Електронний ресурс]. – Режим доступу: <https://www.cisco.com/>
2. Intel (англ.) [Електронний ресурс]. – Режим доступу: <https://www.intel.com/content/www/us/en/homepage.html>
3. Oracle (англ.) [Електронний ресурс]. – Режим доступу: <https://www.oracle.com/ua/>
4. SAP (укр., англ.) [Електронний ресурс]. – Режим доступу: <https://www.sap.com/ukraine/index.html>